

功率半导体器件电荷场调制机理

章文通, 张 波, 李肇基

(电子科技大学, 四川成都 611731)

摘 要: 功率半导体器件与微纳器件的本质区别在于前者具有承受高压的耐压层和终端区。本文将功率半导体器件电场分解为电离电荷产生的电荷场 E_q 和外加电势产生的电势场 E_p ,使得各类功率半导体器件的电场作用机理,均可通过其变化电荷产生的附加电荷场进行独立分析。据此,本文提出功率半导体器件电荷场调制机理,通过电荷场 E_q 对电势场 E_p 的多维调制,实现器件耐压层与终端区的电势和电场的全域优化。电荷场调制机理普适于硅基分立、集成功率半导体器件耐压层及其终端设计,并可推广应用于宽禁带功率半导体器件。未来,该机理还可进一步与人工智能技术融合,提升器件设计效率。

关键词: 功率半导体器件;耐压层;电荷场 E_q ;电势场 E_p ;电荷场调制机理

基金项目: 国家自然科学基金(No.62274022)

中图分类号: TN43

文献标识码: A

文章编号: 0372-2112(2025)12-4859-08

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20250921

Charge Field Modulation Mechanism of Power Semiconductor Devices

ZHANG Wen-tong, ZHANG Bo, LI Zhao-ji

(University of Electronics Science and Technology of China, Chengdu, Sichuan 611731, China)

Abstract: The essential disparity between power semiconductor devices and micro/nano-devices lies in the former possessing a voltage-withstanding layer and a termination region. In this study, the electric field within power semiconductor device is dissected into two components: the charge field E_q , originated from ionized charges, and the potential field E_p , induced by the applied potential. This decomposition allows the independent analysis of the electric field interaction mechanisms in various devices to be made by examining the additional charge fields generated by varying charges. Based on this analysis, a charge field modulation mechanism for power semiconductor devices is introduced. This mechanism achieves holistic optimization of the electric potential and field distribution across the voltage-withstanding layer and the termination region through multi-dimensional modulation of the potential field E_p by the charge field E_q . The proposed charge field modulation mechanism is universally adaptable to the design of voltage-withstanding layers and their corresponding terminations in both discrete and integrated power semiconductor devices. Moreover, its applicability extends to wide-bandgap power semiconductor devices. In the future, this mechanism can be further integrated with artificial intelligence technology to enhance the efficiency of device design.

Key words: power semiconductor devices; voltage-sustaining layer; charge field; potential field; charge field modulation mechanism

Foundation Item(s): National Natural Science Foundation of China (No.62274022)

1 引言

功率半导体是进行电能变换与控制的半导体器件,它是基于半导体原理,将微电子科学与技术用于管理能量(电能)的半导体器件。功率半导体器件与CPU(Central Processing Unit)、存储器等微纳器件的本质区别是前者具有承受高压的耐压层和终端区,最终

实现关态耐压(Breakdown voltage, V_B)高,开态电流密度大、比导通电阻(Specificon-resistance, $R_{on,sp}$)小,开关速度快等性能需求^[1]。功率半导体器件主要包括功率半导体分立器件和功率集成器件两大类,根据电流流向不同,发展出纵向与横向器件两类。功率半导体器件可视为对应低压控制单元与耐压层(Voltage-Sustaining

Layer, VSL) 的串联结构, 功率半导体的结构演变主要以耐压层结构的演变为基础, 各种耐压层结构的差异本质是其内部电荷类型及电荷分布的差异^[2]. 本文将从功率半导体耐压层结构出发, 基于电荷场与电势场概念, 分析电荷场调制 (Charge Field Modulation, CFM) 机理, 并讨论 CFM 在分立器件、集成器件和终端的应用, 给出基于电荷场调制的两种功率半导体器件优化.

1.1 功率半导体器件耐压层

功率半导体器件可视为低压控制单元与耐压层的串联结构. 以功率 MOSFET 为例, 其基本结构由低压控制 MOS 单元和耐压层组成, 其中耐压层位于高压漏端与准漏端之间, 如图 1 所示. 不同类型的功率 MOS 器件主要区别在于耐压层的设计. 为了实现高击穿电压 V_B , 需对耐压层内部电场进行优化. 根据静电场的基本原理, 耐压层电场取决于边界条件和内部电荷分布, 其中边界条件主要由漏与准漏极确定, 耐压层内电荷分布成为决定其性能的关键.

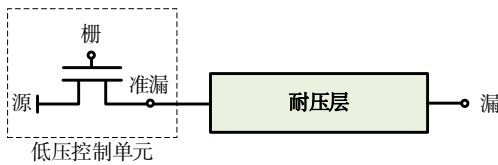


图1 功率半导体器件耐压层

功率半导体耐压层电荷主要包括电离施主正电荷、空穴、电离受主负电荷、电子、介质层极化电荷, 以及缺陷界面态等引入的等效电荷等. 耐压层中可能包含单一类型的正、负电荷或二者兼有. 这样从电荷角度

来看, 可将耐压层分为单一电荷类型的外部电荷平衡耐压层和兼具正负电荷的内部电荷平衡耐压层. 前者包括以传统 VDMOS 为代表的单一掺杂类型阻型耐压层, 其内部电荷与外部保持总体电荷平衡; 后者根据电荷来源可以进一步分为电离电荷平衡和耦合电荷平衡两种类型, 具体构成包括超结、双重/三重 RESURF 器件等结型耐压层, 以及场板、Split-Gate 和匀场 HOF 器件等容型耐压层, 这些器件设计的基本要求是内部正负电荷保持电荷平衡. 因此, 不同功率半导体器件的主要区别在于耐压层的电荷分布. 为了建立适用于不同耐压层的统一设计理论, 我们引入了电荷场 (Charge electric field, E_q) 和电势场 (Potential electric field, E_p) 的概念^[3].

1.2 电荷场与电势场概念

根据电场的矢量叠加原理, 我们从理论上将功率半导体器件的电场分解为两部分: 在零电势边界条件下, 内部电荷产生的电场定义为电荷场 E_q ; 在零电荷分布条件下, 外加电势产生的电场定义为电势场 E_p . 如图 2 所示, 功率半导体的总电场为这两者的矢量和, 即 $E = E_q + E_p$. 其中, 结型和阻型耐压层具有相同的电势场 E_p 和不同的电荷场 E_q , 体现了不同耐压层之间的本质区别. 当耐压层结构和电荷分布确定后, E_q 为一个确定的值. 该值与 E_p 叠加后的总电场可通过雪崩击穿条件进一步确定.

基于 E_q 概念, 各类器件的电场作用机理均可通过变化电荷所产生的附加电荷场 E_q 进行独立分析. 本文将该物理过程定义为电荷场调制 (CFM), 构成各类功率半导体器件电场设计的普适机理.

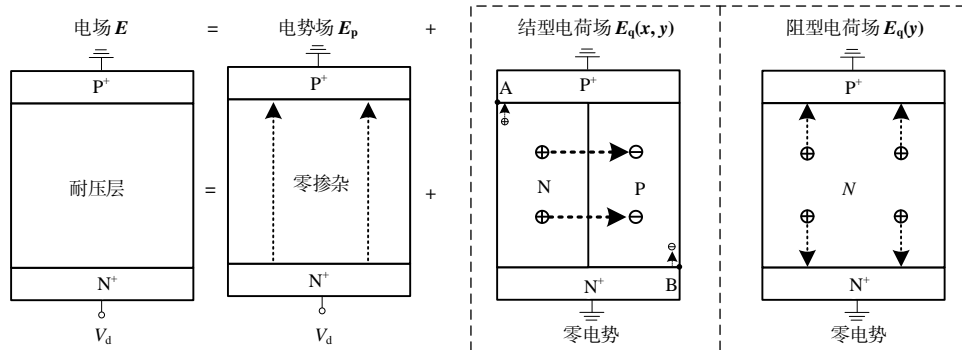


图2 电荷场与电势场概念示意图

2 电荷场调制机理

功率半导体器件主要分为功率半导体分立器件和功率集成器件两大类, 并发展了相应的终端耐压技术. 通过考虑耐压层和终端结构中不同电荷分布, 可以定量分析不同耐压结构的电荷场调制机理, 从而设计出满足应用需求的功率半导体器件.

2.1 功率半导体分立器件电荷场调制

功率分立器件的演变以耐压层为基础. 以具有单一导电类型耐压层的 N 型 VDMOS 为例, 耐压层中电离正电荷产生的电场线均终止于低电势一侧, 因此耐压层电场从低压侧呈现单调递减的趋势. 高 V_B 要求耐压层具备更长的长度. 同时, 由于硅材料的临界击穿电场 E_c 可

视为约 $22 \text{ V}/\mu\text{m}$ 的常数,这意味着耐压层中的总电通量几乎为常数. 因此,更长的耐压层长度导致掺杂浓度呈倒数式急剧下降,从而 $R_{\text{on,sp}} \propto V_B^{2.5}$ 的“硅极限”关系^[4].

电子科技大学陈星弼院士发明的超结(Super Junction, SJ)^[5],在传统的阻型耐压层中引入了周期性的N/P异型掺杂,从而实现了从传统阻型耐压层到结型耐压层的质变. 器件中的电荷场也由传统的一维电荷场转变为周期性的二维电荷场,如图3所示. 图3(a)和图3(b)分别展示了 x 方向和 y 方向的电荷场分量 $E_{q,x}(x,y)$ 和 $E_{q,y}(x,y)$. 在超结耐压层中,大部分区域的电离正电荷发出的电场线终止于邻近的电离负电荷. 只有在靠近耐压层边缘处, y 方向的电通量才终止于外部. 因此,超结技术打破了掺杂浓度与耐压层长度之间的反比例关系,从而实现了更低的比导通电阻 $R_{\text{on,sp}}$. 图3(c)给出了二维电荷场调制后超结总电场分布,仅在靠近A点和B点位置具有纵向电场分量, O点电场峰值则是 x 方向电荷场调制的结果. 图3(d)所示的传统VDMOS阻型耐

压层内部电通量全部终止于低压侧,呈现典型的一维电荷场调制效果.

超结的电荷场调制使得传统VDMOS中原本全部终止于器件表面的电通量,仅限于表面局部区域,而与耐压层内部的大部分区域无关. 因此,这种调制打破了掺杂浓度与器件击穿电压之间的强相关性. 这带来了两个显著的变化:首先,器件的掺杂浓度主要由横向PN结之间的过O点击穿决定,即受元胞宽度 W 的影响;其次,当 N 增加时,电荷场调制会导致器件的电势场 E_p 降低,导致相同耐压层长度 L_d 下 V_B 降低,但大部分电荷平衡区域可近似视为本征层,因此只需增加 L_d 即可持续提升器件的 V_B . 基于此,可以在保持 V_B 不变的前提下计算出器件的最低 $R_{\text{on,sp}}$, 并给出关键参数的定量设计式^[6]:

$$\begin{cases} N = 4.355 \times 10^{16} W^{-1.269} V_B^{0.038} & (\text{cm}^{-3}) \\ L_d = 3.158 \times 10^{-2} W^{0.0167} V_B^{1.109} & (\mu\text{m}) \\ R_{\text{on,sp}} = 1.437 \times 10^{-3} W^{1.108} V_B^{-1.03} & (\text{m}\Omega \cdot \text{cm}^2) \end{cases} \quad (1)$$

其中, W 和 L_d 单位为 μm .

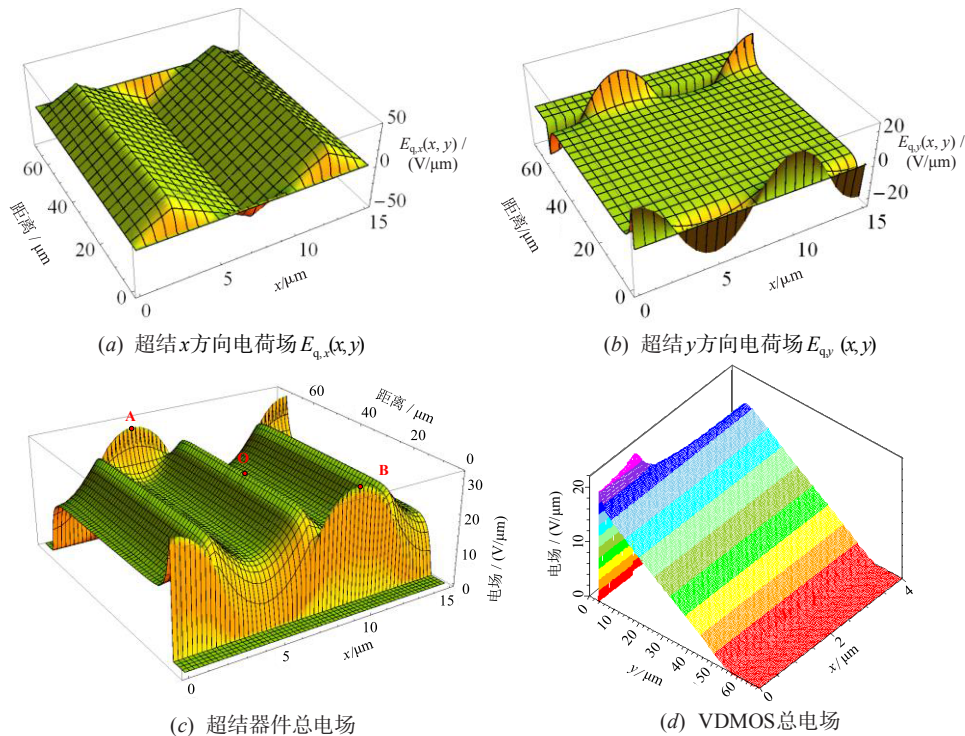


图3 功率器件电荷场调制及CFM电场调制结果

图4以条宽 W 为 $2 \mu\text{m}$, V_B 为 1000 V 的超结器件为例,分析对比电荷场调制机理. 其中电荷场调制因子 γ 定义为A点峰值电荷场 $E_{q,m}$ 和电势场 E_p , 即 $\gamma = E_{q,m} / E_p$. 具体而言, $E_{q,m} \approx 5.64 \times 10^{-12} \text{ NW}$, 其中 NW 为超结横向掺杂剂量(单位 cm^{-2}),反映了超结区电荷剂量及 $R_{\text{on,sp}}$ 的变化;而电势场 $E_p = V_B / L_d$, 则反映了耐压 V_B 的变化. 当超结掺杂浓度 N 提升时, γ 从0开始逐渐增加. 当 $\gamma = 0$ 时, 对应于

零掺杂的PIN结构;而当 $\gamma = 1$ 时,则表示超结耐压层恰好达到全耗尽状态. 陈星弼院士基于全耗尽模式, 得出了 $R_{\text{on,sp}} \propto V_B^{1.32}$ 关系. 作者进一步从变化电荷场调制的角度深入探讨了这一现象,发现器件的最低比导通电阻 $R_{\text{on,min}}$ 出现在非全耗尽(Non-Full Depletion, NFD)模式, 并由此创立了 $R_{\text{on,sp}} \propto V_B^{1.03}$ 新关系. 通过电荷场调制机理,原本仅在某个特定电场状态(如恰好全耗尽)下的单点优化转变为寻

求全域 $R_{on,min}$ 的“可变”电荷场调制,从而能实现更优的器件性能.

值得指出的是,不同电荷场对电势场的调制存在显著差异. 例如,在VDMOS器件中, γ 值的取值范围为0到1,而在最优 $R_{on,sp}$ 特性下, γ 值约为0.5,这对应了 $R_{on,sp} \propto V_B^{2.5}$ 的传统“硅极限”关系. 电荷场调制机理普适于宽禁带半导体材料,其差异主要体现在材料参数的

影响上. 以SiC超结为例,相较于硅基器件,在关态条件下需考虑SiC材料的不同介电常数和碰撞电离各向异性;在开态条件下,则需考虑迁移率差异、载流子不完全电离效应及JFET效应导致的电流路径变化. 这些效应均对SiC超结的 γ 值产生影响,从而改变了图4中的 $R_{on,sp}$ 优化曲线,使得其 $R_{on,min}$ 对应的 γ 值比硅器件小得多^[7].

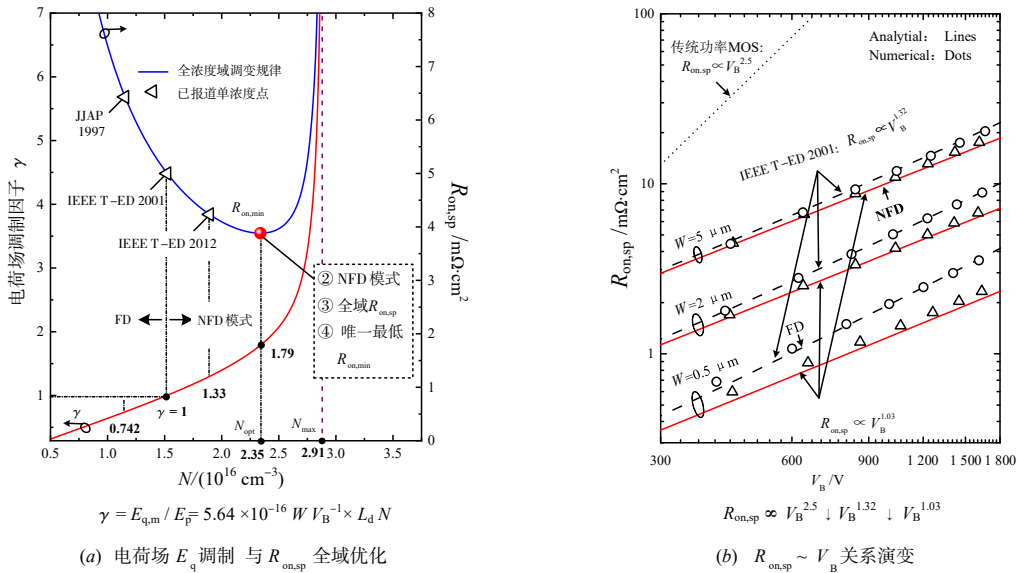


图4 功率超结器件电荷场调制机理与 $R_{on,sp} \sim V_B$ 关系演变

2.2 功率半导体集成器件电荷场调制

功率半导体集成器件与分立器件的主要区别在于,集成器件通常制作在接地衬底上,其高压和低压电极均位于器件表面. 因此,集成器件的耐压性能由纵向和横向两个方向共同决定,其电势场和电荷分布呈现典型的二维特性. 以nLDMOS为例,采用泰勒级数法^[8,9],可以得到LDMOS器件电荷场与电势场:

$$\begin{cases} E_p(x, 0) = \frac{V_B}{T} \frac{\cosh(\frac{x}{T})}{\sinh(\frac{L_d}{T})} \\ E_q(x, 0) = \frac{qN_d T}{\epsilon_s} \frac{\cosh(\frac{L_d - x}{T})}{\sinh(\frac{L_d}{T})} - \frac{qN_d T}{\epsilon_s} \frac{\cosh(\frac{x}{T})}{\sinh(\frac{L_d}{T})} \end{cases} \quad (2)$$

其中, q 和 ϵ_s 为电子电荷量和半导体介电系数, N_d 和 L_d 分别为器件耐压层掺杂浓度和长度, T 为特征厚度. 对硅衬底为 $T = \sqrt{0.5t_s^2 + 0.5t_s t_{sub}}$, 取决于耐压层和衬底耗尽层厚度 t_s 和 t_{sub} ; 对SOI衬底为 $T = \sqrt{0.5t_s^2 + t_s t_s \epsilon_s / \epsilon_i}$, 还受埋介质层厚度和介电系数 t_i 和 ϵ_i 影响. 不同集成器件之间的差异主要体现在 T 值的不同,但其电场分布规律保持一致.

因此,集成器件电场的二维特性导致集成器件的电势分布呈现漏端高、源端低的单调递减函数. 据此,研究者提出了两种典型的设计思路. 首先,去除衬底电位调整电势场,通过衬底刻蚀或采用蓝宝石衬底等方法,消除衬底低电位对器件的影响,从而使横向器件与纵向器件可以采用相同的设计方案. 其次,引入电荷场调制电势场,即在耐压层中引入电荷场以降低漏端的高电场,并提升源端的低电场,形成熟知的“哑铃状”电场分布,使源漏两侧的电场峰值相等,从而优化器件的耐压性能. 据此,可以获得集成器件最高 V_B 对应的RESURF条件^[10],即 $N_d T \approx 10^{12} \text{ cm}^{-2}$.

RESURF技术发明后,沿着内部电荷平衡技术路线进一步发展出Double/TripleRESURF技术. 其实质是在耐压层中引入电荷平衡的正负电离电荷,在此基础上还可引入超结来降低 $R_{on,sp}$. 我们研究发现器件耐压层中不同位置电离电荷对表面电场影响各异,基于电荷场调制,提出集成器件电荷等效原理. 以SOI器件为例,电荷等效原理如图5所示.

通过保持器件表面到衬底零电势面任意掺杂电荷与均匀掺杂电荷所产生的纵向电场围成的面积相等,可实现将耐压层中任意结深 t_j 位置的电离电荷等效为

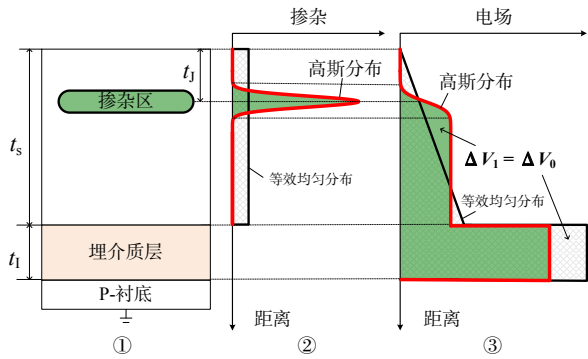


图5 集成器件电荷等效原理

全域均匀分布电荷,并将均匀电荷与任意电荷剂量之比定义为电荷等效因子.基于此,可推导出在局域全高斯分布与半高斯分布掺杂条件下的电荷等效因子^[11],分别记为 $\lambda_{G,F}$ 和 $\lambda_{G,H}$:

$$\left\{ \begin{aligned} \lambda_{G,F} &\approx 1 + \frac{t_s \operatorname{Erf} \left(\frac{t_s - t_j}{\sqrt{2} \sigma} \right) - t_j \left[\operatorname{Erf} \left(\frac{t_s - t_j}{\sqrt{2} \sigma} \right) + \operatorname{Erf} \left(\frac{t_j}{\sqrt{2} \sigma} \right) \right]}{2 \varepsilon_s t_1 / \varepsilon_1 + t_s} \\ \lambda_{G,H} &\approx 1 + \frac{t_s \left[2 \operatorname{Erf} \left(\frac{t_s}{\sqrt{2} \sigma} \right) - 1 \right] - \sigma \sqrt{8/\pi}}{2 \varepsilon_s t_1 / \varepsilon_1 + t_s} \end{aligned} \right. \quad (3)$$

其中, t_j 和 σ 为高斯分布的结深和标准差.该电荷等效模型不仅适用于正负电荷,还能够在耐压层中实现全域电荷平衡.基于此模型,我们开发了200 V级超结BCD量产工艺平台.

上述耐压层电荷场调制机理有效地解决了集成器件的高耐压和电荷平衡问题.由于集成器件的击穿电压由横向与纵向击穿电压中的最小值决定,因此可以通过将电荷引入耐压衬底来实现体内纵向电荷场的调制.对于体硅器件,研究者开发了降低体内电场的REBULF技术^[12],通过在耐压衬底内部引入一层或多层异形电荷分布,实现体内纵向电荷场调制,显著提升了器件的纵向耐压能力.而对于SOI器件,则发展了介质场增强的ENDIF技术^[13],该技术通过改变漂移区的电离电荷分布或在介质界面引入界面电荷,通过电荷场调制显著增加埋介质层电通量,实现介质场增强,从而提高了纵向耐压性能.

2.3 终端结构电荷场调制

结终端技术(Junction Termination Technology, JTT)是功率半导体器件的基础耐压技术,各种结终端技术实质上都是通过终端表面引入电荷来产生附加电荷场,使主结边缘处电场降低.电荷场调制可以解释各种结终端技术提高器件耐压的机理.不同结终端技术的主要区别在于电荷场的引入方式.以N型耐压层器件为例,场

板通过MIS耦合引入负电荷;场限环、结终端扩展及横向变掺杂等技术则通过P型掺杂引入负电荷;而磨角终端技术则是通过改变器件边缘的形貌来调整电荷分布.

根据电荷场调制机理,我们可以从理论上确定VDMOS器件的最佳掺杂分布,其机理如图6所示.图中将耐压结构分为元胞区、过渡区和耐压区三个区域.由于源端外侧与衬底等电位,因此耗尽区边界也从耐压层底部逐渐变化到耐压层表面.为尽可能减小耐压区长度,终端的理想电场分布应为矩形电场,最短终端区长度 L_0 如AA'所示,即均匀的 E_c 场.然而,考虑到可靠性等因素,实际终端耐压层长度 L 可能会选择为元胞区耐压层长度的1.5~3倍,如图中AD线所示.

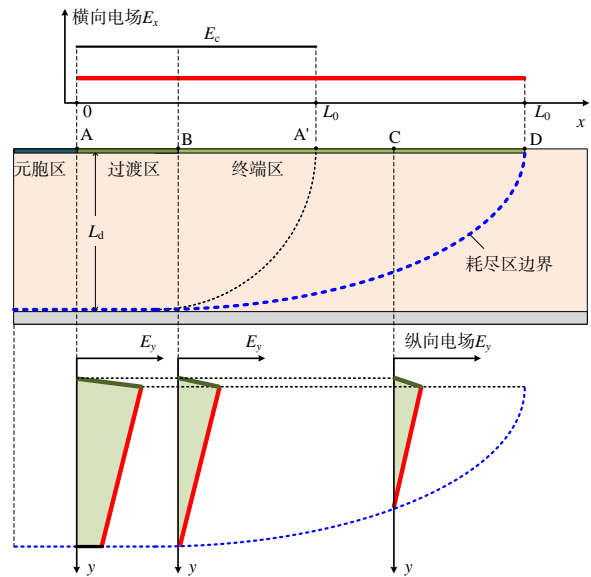


图6 结终端技术电荷场调制机理与理想电荷分布

考虑到终端结深通常远小于纵向耐压层厚度,故而终端区电荷分布可视为分布于表面薄层内.假定终端区表面电场呈理想矩形电场分布,则可得终端长度 L 范围内任意 x 位置的电势.其中,元胞区过A点电场呈现穿通型VDMOS典型的梯形场分布,过B点的过渡区耐压距离维持为 L_d ,边界处电场恰为0.终端区过C点耗尽区长度电势差逐渐减小,直至在D点降为0.结合图6中所示的不同位置纵向电场 E_y 分布,进一步考虑电荷平衡,可得到表面 x 位置P型掺杂剂量为 $D_p = fD_n = fN_d L_d$.归一化剂量因子 f 表示为

$$f = \begin{cases} \frac{1}{2} \left(\frac{1}{\gamma} + 1 \right) - \frac{1}{2\gamma} \zeta_x, & 0 \leq \zeta_x \leq 1 - \gamma \\ \frac{1}{\gamma^{0.5}} (1 - \zeta_x)^{0.5}, & 1 - \gamma \leq \zeta_x \leq 1 \end{cases} \quad (4)$$

其中, $\gamma = \frac{qN_d L_d}{2\varepsilon_s} / \frac{V_B}{L_d}$ 是元胞区的电荷场调制因子, $\zeta_x =$

$\frac{x}{L}$ 是归一化距离. 根据式(4)可得到任意衬底浓度和终端耐压长度 L 下优化电荷掺杂分布. 各种结终端技术的设计目标都是尽可能调整表面电荷分布并使其靠近理想分布.

综上, 电荷场调制机理普遍适用于功率半导体分立器件、集成器件及终端结构的电场优化设计, 是功率半导体器件的核心基础理论. 各类场优化技术的本质区别就在于所引入的电荷场分布特性不同, 基于相应的设计理论, 可针对不同应用场景需求, 优化设计出高性能的功率半导体器件.

3 基于电荷场调制的器件优化

基于电荷场调制原理, 电荷场作用可分为仅涉及单一正电荷或负电荷的单电荷场调制和正、负电荷共存的平衡电荷场调制, 从而提出两种典型的功率半导体器件优化方法. 为了提升器件的耐压性能, 需通过电荷场调制尽可能降低电场峰值, 使电场分布更加平坦, 并且平坦区域尽可能宽, 从而提高器件的击穿电压 V_B . 另一方面, 以超结为代表的平衡电荷场调制是增加耐压层导电性的主要方法之一, 通过引入平衡电荷场并防止由此导致的提前击穿问题, 在保持 V_B 不变的前提下, 可尽可能降低器件的 $R_{on,sp}$.

3.1 单电荷场调制优化电场均匀性

由于碰撞电离率强烈依赖于电场, 因此在器件设计时应尽可能降低耐压方向上的高电场峰值. 通过电荷场调制以优化电场的均匀性, 若耐压方向上的电场分布越接近矩形, 则在给定的耐压距离下, 可实现更高的 V_B . 当耐压区电场为矩形分布时, 理论上可以获得最优平均场分布和给定耐压距离 L 下的最高平均场 \bar{E}_{max} . 据此, 给出矩形分布电场下硅的均匀场为

$$\bar{E}_{max} = 6.645 \exp(1.636L^{-0.1269}) \quad (\text{V}/\mu\text{m}) \quad (5)$$

其中, L 单位为 μm .

图7为给定击穿电压 V_B 下最短耐压距离与典型耐压距离的关系. 其中, 最短耐压距离为 V_B / \bar{E}_{max} , 考虑到电荷场调制无法实现严格的矩形场, 平均场典型值约为 $0.8\bar{E}_{max}$, 因此, 最短耐压距离与典型耐压距离之间的范围即为功率半导体器件在给定击穿电压下的耐压距离优化区间. 电荷场调制的目标是尽可能缩短在给定 V_B 条件下的耐压层长度, 使其落入该优化区间内.

耐压层中正电荷浓度的提升, 将增加低电势一侧的电通量, 同时减少高电势一侧的电通量. 引入负电荷的调制作用则与此相反. 电荷场调制过程通过“损有余而补不足”, 尽可能实现全域电场的最小化. 从而各种耐压优化均可用电荷场调制机理进行定量分析.

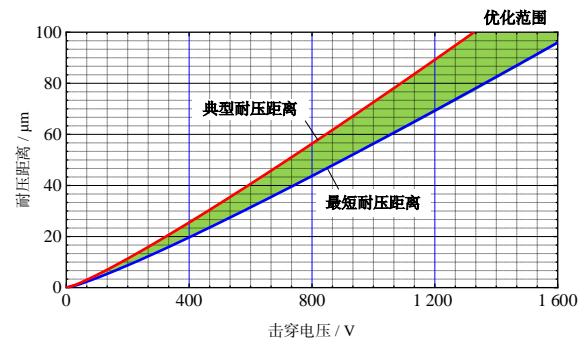


图7 给定击穿电压 V_B 下的最短耐压距离与典型耐压距离

3.2 平衡电荷场调制实现载流子浓度提升

如前所述, 正、负电荷对电势场产生相反的调制. 因此, 通过在耐压层中引入等量的正、负电荷, 即可实现平衡电荷场调制. 若在垂直于耐压方向上保持电荷平衡, 并使正电荷发出的大部分电场线终止于临近的平衡负电荷, 则从耐压方向看, 具有合适掺杂浓度的平衡电荷场调制的耐压层可粗略视为本征层. 如此, 可通过同时增加等量的正、负电荷, 以提升导电路径上的载流子浓度, 从而优化器件导通特性.

随着平衡电荷浓度的进一步提升, 内部正负电荷之间的电通量也随之增加, 可能导致半导体电场增强从而引发内部提前击穿. 平衡电荷浓度由垂直耐压方向的耗尽距离 l 决定, 通过碰撞电离率积分可以得到平衡电荷的最高掺杂浓度 N_{max} 为

$$N_{max} = \frac{3.09 \times 10^{15}}{l} \exp\left[\frac{19.64}{\ln(3227.4l)}\right] \quad (\text{cm}^{-3}) \quad (6)$$

其中, l 单位为 μm . 此时, 当平衡电荷浓度提升至 N_{max} 时, 器件击穿将完全由平衡电荷导致的内部击穿决定, 不能满足击穿电压需求.

因此, 平衡电荷场调制实现载流子浓度提升范围在 $0 \sim N_{max}$ 之间. 为防止平衡电荷场引起的内部击穿, 选取耗尽宽度 l 为 $100 \mu\text{m}$ 的横向与纵向超结器件的掺杂浓度作为典型范围^[3], 可以得到如图8所示的掺杂参考范围. 在此浓度范围内, 平衡电荷场的引入使得器件 V_B 降低为零掺杂 PIN 结构耐压的 80%~90%, 从而实现尽量不降低 V_B 的前提下提升耐压层的导电性. 从图8可以看出, 耗尽距离 l 越小, 典型掺杂浓度越高. 因此, 缩短平衡电荷场调制的耗尽距离或采用更小的元胞宽度可以进一步改善器件性能. 值得注意的是, 平衡电荷场调制需考虑衬底原有掺杂电荷的影响. 以集成超结为例, 由于 P 区不导电, 引入平衡电荷可能导致 $R_{on,sp}$ 先因导电路径变窄而增加, 再因掺杂浓度提升而降低.

综合考虑两类电荷场调制, 我们可根据器件的耐压需求首先优化电场均匀性, 以实现耐压 V_B 的优化. 不同耐压技术的主要差异在于电荷分布的不同. 在此基

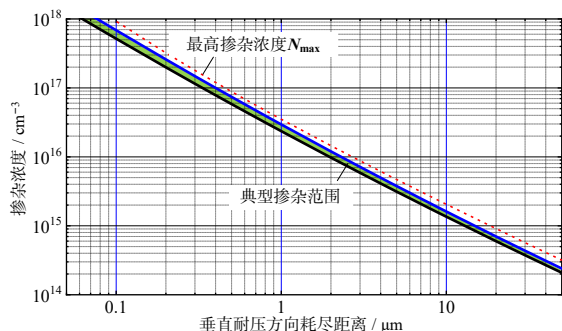


图8 垂直耐压方向耗尽距离 l 与最高掺杂浓度 N_{\max} 与典型掺杂范围关系

础上,进一步采用平衡电荷场调制以提高耐压层的掺杂浓度,从而在尽量不降低 V_B 的前提下提升耐压层的导电性.

本文提出的电荷场调制机理为功率半导体器件设计提供了普适理论,未来还可与人工智能AI技术结合,进一步提升设计效率.首先,在电场调控方面,基于AI工具对具有相同电荷分布特征的器件进行训练,可构造电荷场 E_q 算子,实现任意分布电荷场的定量调制分析.同时,利用电荷场调制结果,结合物理信息神经网络,能够自动设计器件^[14].其次,在电荷分布调控方面,通过将泊松方程作为损失函数嵌入神经网络中,可实现以电场分布为输入、电荷分布为输出的方程逆向求解,直接寻优给定电场下的电荷分布最优解.此外,根据该最优电荷分布,结合实际工艺条件,还可以借助AI工具实现注入能量、剂量和窗口等多变量的协同优化,实现更加精准的电场分布调制和电荷分布调控.

4 结论

本文从功率半导体电荷场 E_q 和电势场 E_p 概念出发,揭示了各类功率半导体器件电场优化技术的本质区别在于所引入的电荷场分布特性不同.因此,其电场作用机理可通过变化电荷产生的附加电荷场进行独立研究,从而凝练出功率半导体器件电荷场调制CFM机理.据此,深入探讨了电荷场调制机理在分立器件、集成器件和终端结构中的作用,建立了功率半导体器件的核心基础理论.基于此,提出了“单电荷场调制优化电场均匀性”和“平衡电荷场调制实现载流子浓度提升”两种优化思路.电荷场调制机理可普适于宽禁带功率半导体器件中,未来还可与AI技术进一步结合提升功率半导体器件设计效率.

参考文献

[1] BALIGA B J. Fundamentals of Power Semiconductor De-

vices[M]. Cham: Springer International Publishing, 2019.

- [2] ZHANG B, ZHANG W T. The present status and future developments of Si-based power semiconductor technologies: “more silicon” development in power semiconductors still possesses robust vitality[J]. IEEE Electron Devices Magazine, 2024, 2(4): 8-15.
- [3] 张波, 章文通, 乔明, 等. 功率超结器件的理论及优化[J]. 中国科学: 物理学力学天文学, 2016, 46(10): 8-25.
ZHANG B, ZHANG W T, QIAO M, et al. Theory and optimization of the power super junction device[J]. Scientia Sinica (Physica, Mechanica & Astronomica), 2016, 46(10): 8-25. (in Chinese)
- [4] HU C M. Optimum doping profile for minimum ohmic resistance and high-breakdown voltage[J]. IEEE Transactions on Electron Devices, 1979, 26(3): 243-244.
- [5] CHEN X. Semiconductor power devices with alternating conductivity type high-voltage breakdown regions: US5216275A[P]. 1993-06-01.
- [6] ZHANG W T, ZHANG B, QIAO M, et al. The $R_{ON,min}$ of balanced symmetric vertical super junction based on Rwell model[J]. IEEE Transactions on Electron Devices, 2017, 64(1): 224-230.
- [7] ZHANG W T, LIU Y T, LI H B, et al. The minimum specific on-resistance of 4H-SiC superjunction devices[J]. IEEE Transactions on Electron Devices, 2024, 71(10): 6216-6220.
- [8] LI Z J, GUO Y F, ZHANG B, et al. A new 2D analytical model of double RESURF in SOI high voltage devices[C]// Proceedings of 7th International Conference on Solid-State and Integrated Circuits Technology, 2004. Piscataway: IEEE, 2005: 328-331.
- [9] LI Q, LI Z J, ZHANG B. An analytical model for the surface electrical field distribution and optimization of bulk-silicon double resurf devices[J]. Chinese Journal of Semiconductors, 2006, 27(7): 1177-1182.
- [10] APPELS J A, VAES H M J. High voltage thin layer devices (RESURF devices)[C]//1979 International Electron Devices Meeting. Piscataway: IEEE, 2005: 238-241.
- [11] ZHANG W T, MU J N, LIU T, et al. Charge field modulation mechanism and its experiments in SJ-based SOI BCD process[C]//2025 37th International Symposium on Power Semiconductor Devices and ICs. Piscataway: IEEE, 2025: 81-84.
- [12] DUAN B X, XING L T, WANG Y D, et al. Complete accumulation lateral double-diffused MOSFET with low ON-resistance applying floating buried layer[J]. IEEE

Transactions on Electron Devices, 2022, 69(2): 658-663.

- [13] ZHANG B, LI Z J, HU S D, et al. Field enhancement for dielectric layer of high-voltage devices on silicon on insulator[J]. IEEE Transactions on Electron Devices, 2009, 56(10): 2327-2334.

- [14] CHEN J, LI H Y, TAN H W, et al. Intelligent design of superjunction devices based on physics-informed neural network[C]//2025 37th International Symposium on Power Semiconductor Devices and ICs. Piscataway: IEEE, 2025: 449-452.

作者简介



章文通 男,1988年1月出生于云南省曲靖市.现为电子科技大学教授,博士生导师.主要研究方向为功率半导体器件与功率集成技术.获国家科技进步奖二等奖、工业和信息化部技术发明二等奖、中国产学研合作创新成果二等奖、中国电子学会优秀博士论文奖.

E-mail: zhwt@uestc.edu.cn



张波 男,1964年5月出生于重庆市.现为电子科技大学教授,博士生导师,电子科技大学集成电路研究中心主任、功率集成技术实验室主任.主要研究方向为功率半导体技术.获国家及省部级科技奖励18项,其中作为第一完成人两次荣获国家科技进步奖二等奖.中国电子学会会员编号:E190021100S.

E-mail: zhangbo@uestc.edu.cn



李肇基 男,1940年9月出生于四川省内江市.现为电子科技大学教授,博士生导师,享受国务院政府特殊津贴专家.曾任校微电子所所长、省电力电子学会副理事长.主要研究方向为功率半导体器件与集成电路.获国家科技进步奖二等奖一次、三等奖一次.

E-mail: zjli@uestc.edu.cn